|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ «Информатика и системы управления» (ИУ)

КАФЕДРА «Информационная безопасность» (ИУ8)

Отчёт

по лабораторной работе № 2

по дисциплине «Электротехника и схемотехника»

**Тема: «Преобразователи двоично-десятичного кода в двоичный код»**

Вариант 1

Выполнил: Антипов И.С.,

студент группы ИУ8-63

Проверил: Ковынёв Н.В.,

преподаватель каф. ИУ8

г. Москва,

2021 г.

# Цель работы

Изучить принципы управления одноразрядными и многоразрядными семисегментными цифровыми индикаторами.

# Теоретическая часть

Преобразователи кодов используются для шифрации и дешифрации цифровой информации и имеют n входов и k выходов. Соотношения между числами n и k могут быть любыми: n = k, n>k и n<k. Преобразователи кодов можно разделить на два типа:

* с невесовым преобразованием кодов;
* с весовым преобразованием кодов.

Рассмотрим преобразователи кодов с весовым преобразованием кодов. Для построения преобразователя двоично-десятичного кода в двоичный код необходимо спроектировать некоторый элементарный преобразователь кодов и установить правила соединения таких преобразователей для получения схемы, позволяющей преобразовывать многоразрядные двоично-десятичные числа в двоичные числа. Известно, что преобразование двоично-десятичного кода в двоичный легко выполняется с помощью операции сдвига числа в сторону младших разрядов и коррекции числа, получаемого после сдвига. Сдвиг двоичного числа на один разряд в сторону младших разрядов, т. е. на один разряд вправо, эквивалентен делению числа на два без учета младшего разряда, который теряется или поступает в другой сдвигающий регистр. При сдвиге двоичнодесятичного числа на один разряд вправо получаемое число не равно исходному, деленному на два. Чтобы в результате сдвига получалось такое число, необходимо производить коррекцию результата сдвига.

Если в старший разряд тетрады, имеющей множитель 10j, поступает единица, то она приобретает вес 8\*10j. До сдвига эта единица имела вес 10j+1, поэтому для получения при сдвиге деления на два ей следует приписать вес 2-1\*10j+1. Из этого следует, что необходимо произвести коррекцию на число 8\*10j - 2-1\*10j+1, т. е. вычесть число 3\*10j. Если в старший разряд какой-либо тетрады поступает нуль, то коррекцию производить не нужно.

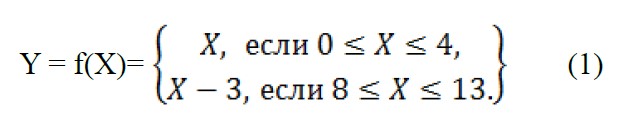
Если двоично-десятичное число состоит из m тетрад, то преобразование двоично-десятичного числа в двоичное получается с помощью 4m сдвигов с соответствующими коррекциями при каждом сдвиге. Командой для производства коррекции является поступление единиц в старшие разряды тетрад. Описанные операции можно выполнить также с помощью комбинационного сумматора.

Пусть комбинационный сумматор имеет четыре входа и четыре выхода.

Операция сдвига реализуется подачей на три входа КС трех старших разрядов j-й тетрады и на четвертый вход — первого разряда (j+1)-й тетрады. Установим, какие двоичные четырехразрядные числа X = (x4, х3, х2, х1) могут поступать на вход преобразователя кода. Эти числа легко определить, исходя из минимального Amin = (0, 0, 0, 0) и максимального Amax = (1, 0, 0, 1) чисел j-й тетрады и поступления или непоступления единицы (b1 =1) из младшего разряда (j+1)-й тетрады:

1. если b1 = 0, то Xmin = (0, 0, 0, 0) = 0, Xmax = (0, 1, 0, 0) = 4;
2. если b1 = 1, то Xmin = (1, 0, 0, 0) = 8, Xmax = (1, 1, 0, 0) = 12.

Таким образом, преобразователь кода должен выполнять функцию (с учетом коррекции — вычитания числа 3 при b1= 1)



где Y двоичное число, получаемое на выходе преобразователя кода. Числа X = 5, ..., 7, 13, ..., 15 не могут поступать на вход преобразователя.

***2. Правило построения преобразователя двоично-десятичного кода в двоичный***

Так как самый младший разряд двоично-десятичного кода совпадает с младшим разрядом двоичного кода, то этот разряд не преобразуется, т. е. подается со входа на выход. Следующие по старшинству разряды подаются со сдвигом на входы двух преобразователей кодов (производится сдвиг на один разряд). Другой сдвиг на один разряд осуществляется с помощью следующих двух преобразователей кодов и т. д.

Правила составления преобразователя двоично-десятичного кода в двоичный можно сформулировать следующим образом:

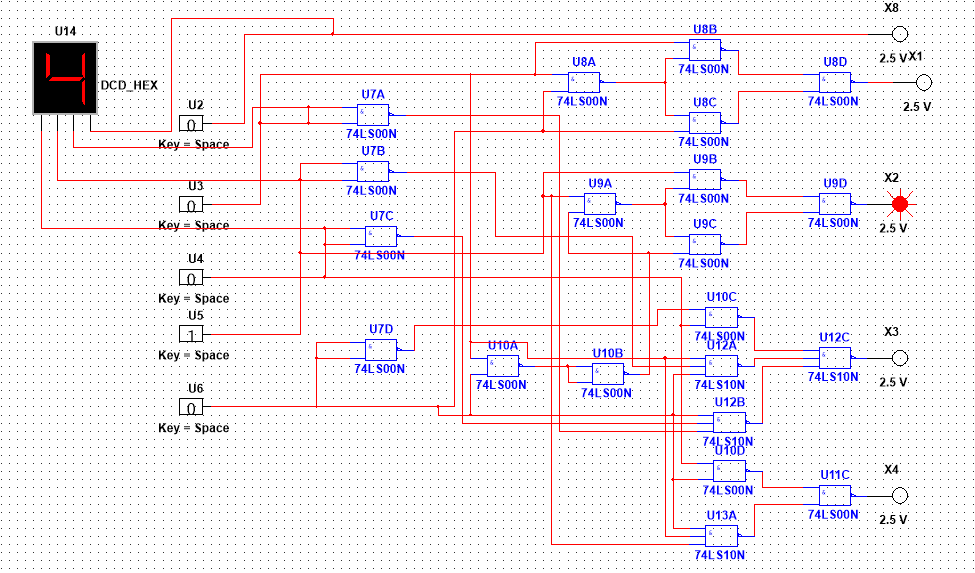
1. веса разрядов входных сигналов всех преобразователей кодов должны находиться в соотношении 1:2:4:5;
2. так как каждый преобразователь кодов преобразует только один двоичнодесятичный разряд в двоичный разряд (вес 5 изменяется на вес 8), то преобразователь двоично-десятичного кода в двоичный должен иметь пирамидальную структуру;
3. пирамида строится из преобразователей кода до тех пор, пока не будут получены выходные сигналы со всеми весами, где р = 0, 1, 2, ..., при условии, что полученное двоичное число не меньше исходного двоичнодесятичного числа.

# Практическая часть

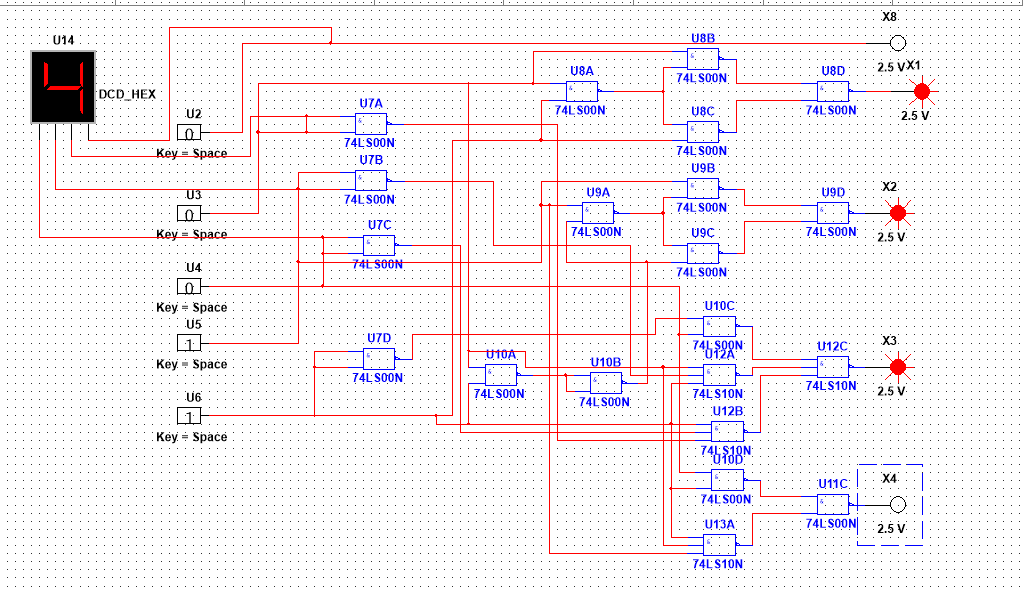
* Задание 1

1. Задание 1

|  |  |  |  |
| --- | --- | --- | --- |
| Вариант | Информация, в десятичном коде, на  входе преобразователя (0-U12) | Информация, в десятичном коде, на  входе преобразователя  (1-U12) | Цвет семисегментных индикаторов |
| 1 | 04 | 14 | красный |



1. Схема для исследования элементарного преобразователя двоичнодесятичного кода (0 9) в двоичный с четырьмя входами и четырьмя выходами (04)

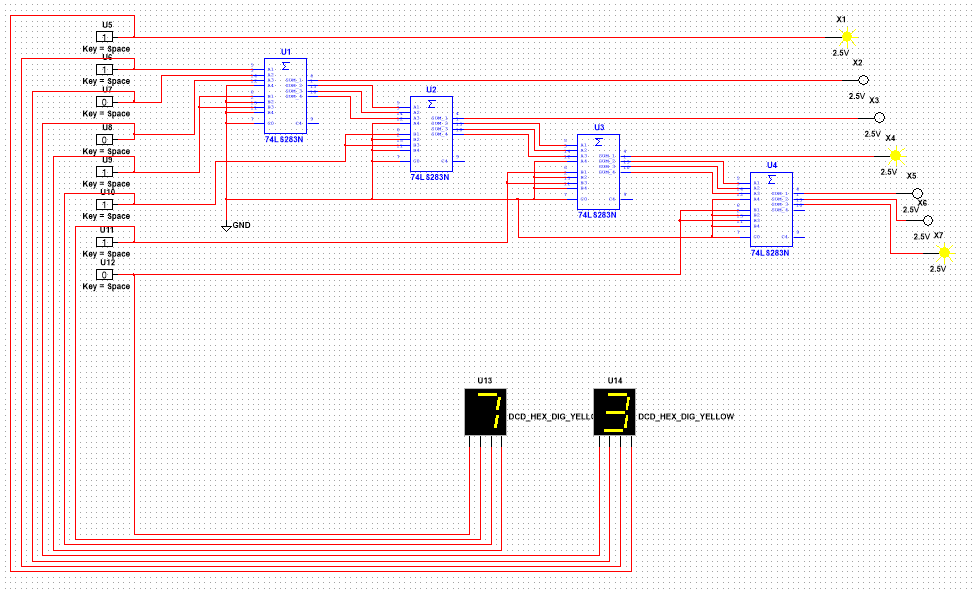


1. Схема для исследования элементарного преобразователя двоичнодесятичного кода (0 9) в двоичный с четырьмя входами и четырьмя выходами (14)

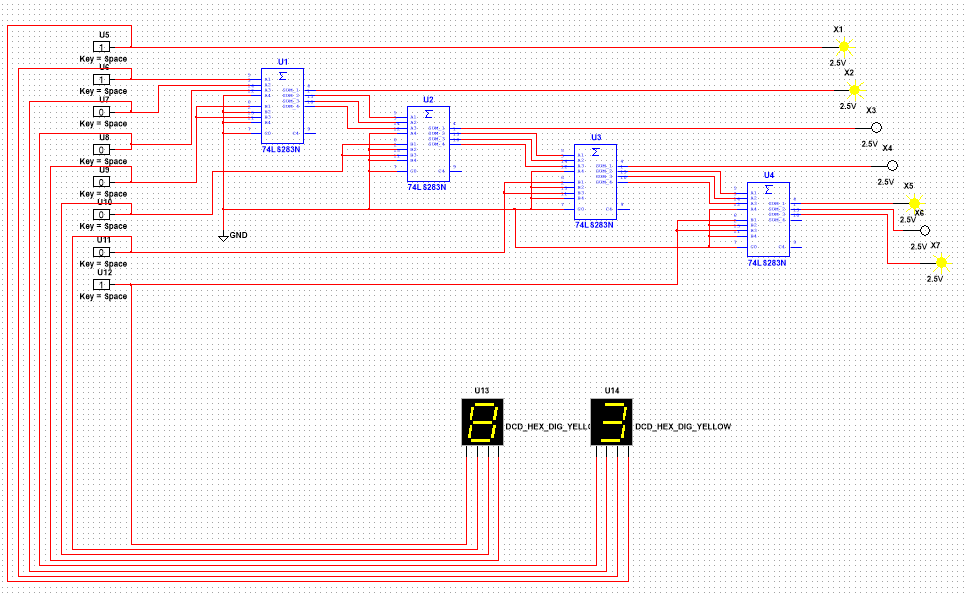
* Задание 2

1. Задание 2

|  |  |  |
| --- | --- | --- |
| Вариант | Информация, в десятичном коде, на входе преобразователя | Цвет семисегментных индикаторов |
| 1 | 73 | желтый |



1. Схема для исследования преобразователя двоично-десятичного
2. кода(0-99)в двоичный на четырехразрядных сумматорах

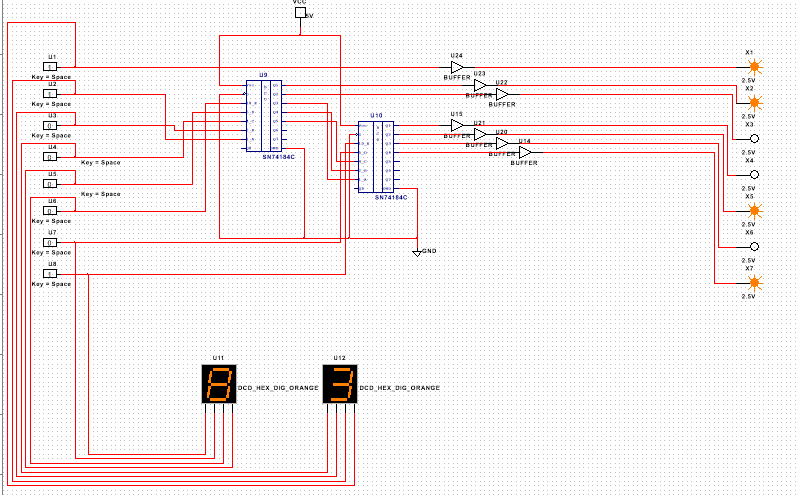


1. Проверка схемы

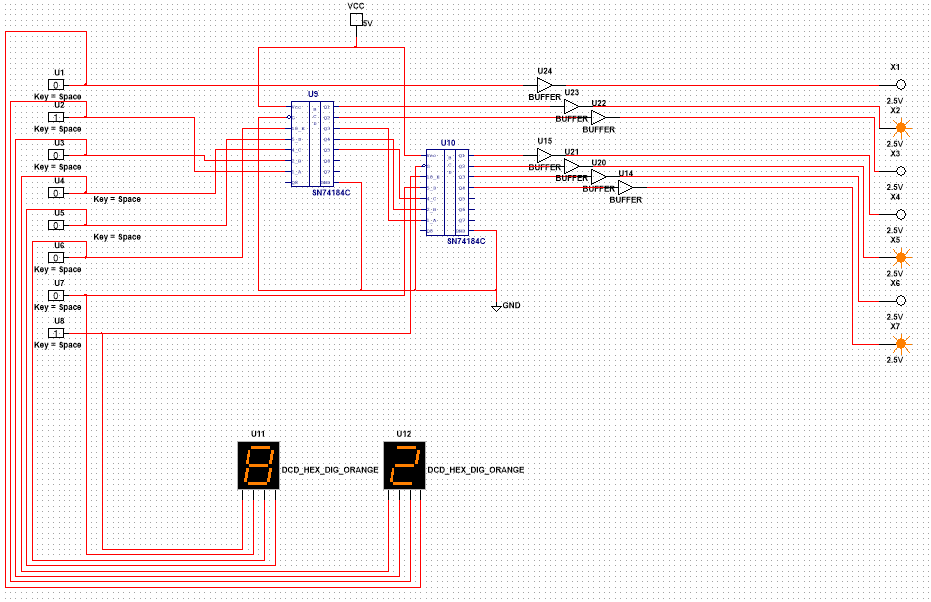
* Задание 3

1. Задание 3

|  |  |  |
| --- | --- | --- |
| Вариант | Отображаемая информация, в десятичном коде | Цвет семисегментных индикаторов |
| 1 | 83 | оранжевый |



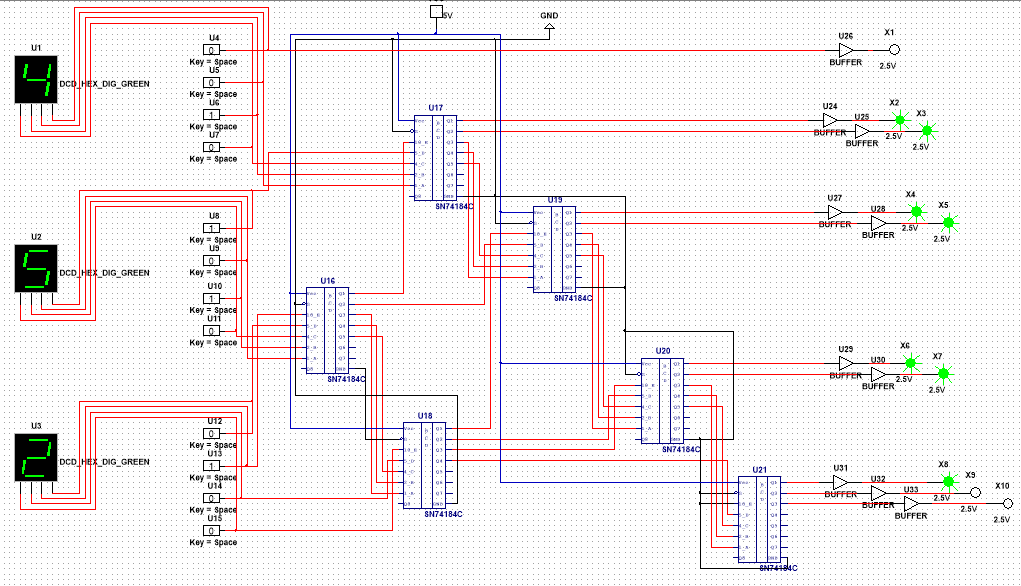
1. Схема для исследования преобразователя двоично десятичного кода (0 99) в двоичный на микросхемах SN74184



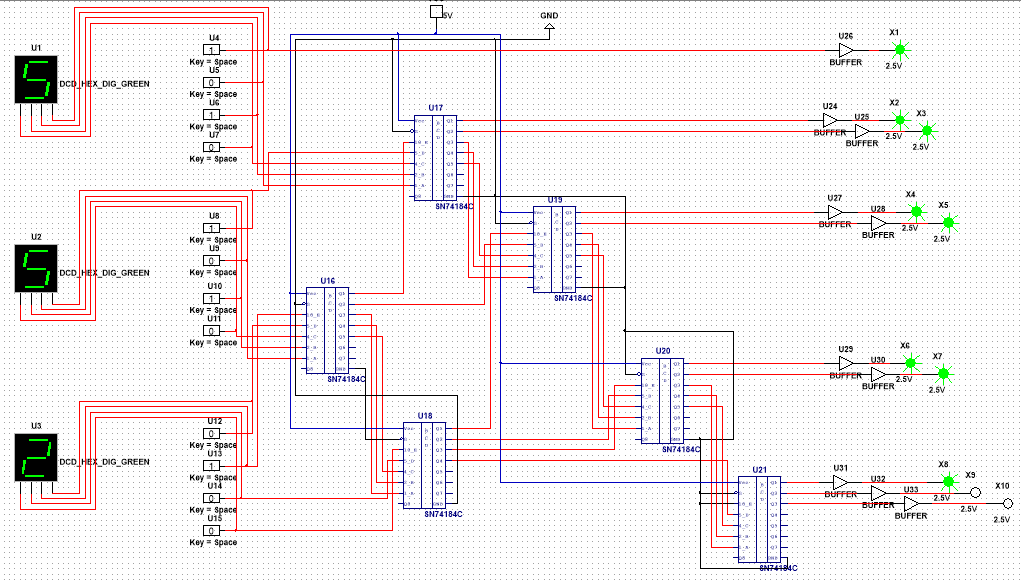
1. Проверка схемы

* Задание 4

|  |  |  |
| --- | --- | --- |
| Вариант | Отображаемая информация, в десятичном коде | Цвет семисегментных индикаторов |
| 1 | 254 | зеленый |



1. Схема для исследования преобразователя двоично-десятичного кода (0-999) в двоичный, на микросхемах SN74184



1. Проверка схемы

# Выводы

При выполнении лабораторной работы были изучены принципы построения преобразователей двоично-десятичного кода в двоичный код. Исследовали элементарный преобразователь двоично-десятичного кода (0-9) в двоичный с четырьмя входами и четырьмя выходами на элементах И-НЕ. Исследовали преобразователь двоично-десятичного кода (0-99) в двоичный на четырехразрядных сумматорах. Также исследовали преобразователя двоичнодесятичного кода (0-99) в двоичный на микросхемах SN74184 (аналог микросхемы К155ПР6). Изучили преобразователь двоично-десятичного кода (0-999) в двоичный на микросхемах SN74184 (аналог микросхемы К155ПР6).